

2005 7月19日 11時22分 テキサ・サンケンポン

No. 3279 P. 2/15

6-236878

-1-

(19) Japanese Patent Office (JP)

(12) Japanese Patent Laid-open Publication (A)

(11) Japanese Patent Laid-open Publication No. 6-236878

(43) Laid-open date: August 23, 1994

(21) Application No. 5-21145

(22) Filing date: February 9, 1993

(71) Applicant: 000001258

Kawasaki Steel Corporation

1-28, Kita-honmachi-dori 1-chome, Chuo-ku, Kobe-shi,

Hyogo-ken

(72) Inventors: Eiichi KONDO, Yoshihiro OTA

c/o Technical Research and Development Institute in Kawasaki

Steel Corporation, 1, Kawasaki-cho, Chuo-ku, Chiba-shi,

Chiba-ken

(74) Agent: Patent Attorney, Yoshiaki HASEGAWA (and other 3
persons)

2005年 7月19日 11時22分 テキサ'イサンケンポン

No. 3279 P. 3/15

6-236878

-2-

(54) [Title of the Invention] METAL WIRING STRUCTURE

(57) [ABSTRACT]

[OBJECT] An object of the present invention is to provide a metal wiring structure for semiconductor devices, including Cu wiring lines and Al wiring lines and capable of preventing the diffusion of Cu of the Cu wiring lines into the Al wiring lines contiguous with the Cu wiring lines.

[CONSTITUTION] A metal wiring structure for a semiconductor device, including a first wiring line 41 of Cu and a second wiring line 51 of Al contiguous with the first wiring line 41, wherein a barrier layer 43b is formed between the first wiring line 41 and the second wiring line 51.

[CLAIMS]

[Claim 1] A metal wiring structure for a semiconductor device, said metal wiring structure comprising: a first wiring line of copper or a copper alloy; and a second wiring line of aluminum or an aluminum alloy, wherein a conductive barrier layer capable of preventing the diffusion of copper is formed between the first and the second wiring line.

[Claim 2] The metal wiring structure according to claim 1, wherein the conductive barrier layer is made of a metal of the VIII group or a compound containing a metal of the VIII group.

[DESCRIPTION OF THE INVENTION]

[0001]

2005年7月19日 11時22分 テキサ・サンケンポン

No. 3279 P. 4/15

6-236878

-3-

[Field of Utilization in Industry] The present invention relates to a metal wiring structure for a semiconductor device.

[0002]

[Description of the Related Art] The complexity of integration of semiconductor devices has advanced from LSI to VLSI and to ULSI in recent years and the reduction of the width of wiring lines and, accordingly, the diameter of contact holes has progressively advanced.

[0003] Technical research and development activities have been made to cope with such a trend in the field of semiconductor devices. Techniques using Cu or Cu alloys for forming wiring lines of semiconductor devices are disclosed in, for example, JP-A No. 2-119140. While on the one hand Cu wiring lines, as compared with Al wiring lines, are resistant to deterioration and breakage, Cu wiring lines are difficult to be formed in small sizes and need a high processing cost. Therefore, in the semiconductor device, only wiring lines the reliability of which is important are made of Cu, and the rest of the wiring lines are made of Al.

[0004] For example, Cu is deposited only in via holes for interconnecting wiring lines of a multilevel structure and in contact holes for the interconnection of wiring lines and circuit elements or only power lines are made of Cu.

[0005]

[Problem to be Solved by the Invention] A bonding interface lies inevitably between the Cu wiring line and the Al wiring line connected to the Cu wiring line.

2005年 7月19日 11時22分 テキサ インケンポン

No. 3279 P. 5/15

6-236878

-4-

[0006] In some cases, Cu forming the Cu wiring line is caused to diffuse through the bonding interface into the Al wiring line by external heat or Joule heat evolved when current flows through the wiring lines. Consequently, the wiring lines are electrically interconnected unsatisfactorily through the bonding interface, the resistance of the joint increases and the physical strength of the wiring lines decreases, which affects adversely to the reliability of the wiring lines.

[0007] Accordingly, it is an object of the present invention to provide a metal wiring structure capable of solving the foregoing problems.

[0008]

[Means for Solving the Problem]

To solve the problem, the present invention provides a wiring structure for a semiconductor device, including a first wiring line of copper or a copper alloy, and a second wiring line of aluminum or an aluminum alloy; wherein a conductive barrier layer capable of preventing the diffusion of copper is formed between the first and the second wiring line.

[0009] Desirably, the conductive barrier layer is made of a metal of the VIII group or a compound containing a metal of the VIII group.

[0010]

[Function] The Al wiring line and the Cu wiring line are interconnected through the barrier layer such that Cu or the Cu alloy is not in direct contact with Al or the Al alloy. Therefore, Cu or the Cu alloy, and Al or the Al alloy do not

2005年 7月19日 11時22分 テキサ サンケンポン

No. 3279 P. 6/15

6-236878

-5-

interact, and hence Cu contained in the Cu wiring line never diffuses into the Al wiring line.

[0011]

[Preferred Embodiments] Preferred embodiments of the present invention will be described with reference to the accompanying drawings, in which the same parts are denoted by the same reference characters, respectively, and the duplicate description thereof will be avoided.

[0012] A semiconductor device related with the present invention will be described with reference to Fig. 1. Referring to Fig. 1 showing the semiconductor device related with the present invention, a first insulating film 20 of SiO_2 is formed on a p-type Si substrate 10 having n⁺-type regions 11 and 12. A polysilicon gate 23 is formed in the first insulating film 20 in a region above a channel region between the n⁺-type regions 11 and 12. Contact plugs 21 and 22 of an Al alloy having a diameter of 0.5 μm are formed on the n⁺-type regions 11 and 12. The contact plugs 21 and 22 are formed by filling up contact holes formed in the first insulating film 20.

[0013] Metal wiring lines 31 and 32 of 1 μm in thickness are formed on the first insulating film 20. The metal wiring line 31 is made of an Al alloy and is connected electrically to the n⁺-type region 11 by the 0.5 μm diameter contact plug 21. The metal wiring line 32 has an Al alloy part 32a and a Cu part 32b. A Pd film 32c of 0.1 μm in thickness is formed between the Al alloy part 32a and the Cu part 32b and between the Cu part 32b and a second insulating film 30. The Al alloy

2005年 7月19日 11時22分 テキザイアンケンポン

No. 3279 P. 7/15

6-236878

-6-

part 32a is connected electrically to the n⁺-type region 12 by the 0.5 μm diameter contact plug 22.

[0014] The second insulating film 30 of SiO₂ is formed on the first insulating film 20 on which the metal wiring lines 31 and 32 are formed. Metal wiring lines 41 and 42 of 1 μm in thickness made of an Al alloy are formed on the second insulating film 30. The metal wiring line 41 is connected electrically to the metal wiring line 31 by a 0.5 μm diameter via plug 33. The metal wiring line 42 is connected electrically to the metal wiring line 32 by a 0.5 μm diameter via plug 34. The via plugs 33 and 34 are formed in via holes formed in the second insulating film 30. The via plug 33 is made of an Al alloy and the via plug 34 is made of Cu. A Pd film 34a of 0.1 μm in thickness serving as a barrier layer is formed between the via plug 34 and the insulating film 30 and between the via plug 34 and the metal wiring line 42.

[0015] A third insulating film 40 of SiO₂ is formed on the second insulating film 30 on which the metal wiring lines 41 and 42 are formed. Metal wiring lines 51 and 52 of 1 μm in thickness are formed on the third insulating film 40.

[0016] The metal wiring line 51 is made of Cu. A Pd film 51a of 0.1 μm in thickness is formed between the metal wiring line 51 and a protective film 50. The metal wiring line 51 is connected electrically to the metal wiring line 41 by a 0.5 μm diameter via plug 43 of Cu. A Pd film 43b of 0.1 μm in thickness is formed between the via plug 43 and the insulating film 40 and between the via plug 43 and the metal wiring line 41.

2005年 7月19日 11時22分 テキサ サンケンポン

No. 3279 P. 8/15

6-236878

-7-

[0017] The metal wiring line 52 has an Al alloy part 52a and a Cu part 52b. A Pd film 52c of 0.1 μ m in thickness serving as a barrier film is formed between the Cu part 52b and the protective film 50 and between the Cu part 52b and the Al alloy part 52a. The Al alloy part 52a of the metal wiring line 52 is connected electrically to the metal wiring line 42 by a 0.5 μ m diameter via plug 44. The via plug 44 is made of an Al alloy.

[0018] It goes without saying that the via plugs 43 and 44 are formed in via holes formed in the third insulating film 40.

[0019] The third insulating film 40 on which the metal wiring lines 51 and 52 are formed is covered with the protective film 50.

[0020] The Al alloy is produced by adding 1% by weight Si and 0.5% by weight Cu to Al. Cu is added to Al to enhance the resistance of Al.

[0021] When the barrier layer is thus formed between the Al alloy wiring line and the Cu wiring line, the Al alloy wiring line and the Cu wiring line are not in direct contact with each other. Therefore, the barrier layer prevents the diffusion of Cu into the Al alloy wiring line attributable to heat evolved during the operation of the semiconductor device. The barrier layer formed between the Cu wiring line and the insulating film prevents the diffusion of Cu into the insulating film.

[0022] Interaction between the Al wiring line and the Cu wiring line proceeds with time if the semiconductor device is not provided with the barrier layers and, in some cases,

2005年 7月19日 11時23分 テキサ・インケンポン

No. 3279 P. 9/15

6-236878

-8-

various reaction layers, such as layers of Cu₂Al, CuAl, CuAl₂ and CuSi, are formed. Those reaction layers cause troubles in the semiconductor device and in semiconductor device fabricating processes. When the substrate is exposed to heat of high temperatures when the insulating film is deposited, the Al wiring line and the Cu wiring line interact to form the reaction layer unless the barrier layer is formed between the Al wiring layer and the Cu wiring layer.

[0023] The resistivity of the reaction layer is high as compared with that of the metal wiring line. Therefore, the reaction layer causes a large voltage loss and generates much Joule heat. Consequently, the wiring line is locally heated at a high temperature, electromigration and stress migration are accelerated and the wiring line is deteriorated and broken. The reaction layer has a low mechanical strength, is easily breakable and has an expansion coefficient greatly different from those of the adjacent wiring lines. Consequently, the bonding interface between the Cu wiring line and the Al wiring line is deteriorated during the fabrication of the semiconductor device.

[0024] The present invention can inhibit the formation of the reaction layer by the barrier layer and can prevent the deterioration and breakage of the wiring lines.

[0025] The barrier layer needs to be formed at least between the Al wiring line and the Cu wiring line and the material forming the barrier layer may spread in regions outside the wiring lines.

2005年 7月19日 11時23分 テキサ インケンポン

No. 3279 P. 10/15

6-236878

-9-

[0026] The barrier layer may be formed of a material, such as metal, a nonmetal or a metal compound, other than Pd employed in the preferred embodiment, provided that the material is capable of preventing interaction between the Al wiring line and the Cu wiring line in hot atmospheres in which the semiconductor device is fabricated and used. Possible materials for forming the barrier layer are metals having a high melting point, such as Nb, Mo, Ta, W, Re and Hf, representative transition metals, such as V, Cr, Mn, F3, Co and Ni, metals of the VIII group, such as Pd, Pt, Ru and Rh, metals of the IB group, such as Ag and Au, nitrides, such as TiN, borides, such as TiB₂, ZrB₂ and LaB₆, silicon compounds, such as WSi₃, MoSi₂ and Cr₃Si, carbides, such as TiC and ZrC, and compounds including TiW, Bi₂Te₂, B_{1-x}C_x. Metals of the VIII group, such as Pd, Pt, Ru and Rh, and compounds of those metals, such as Pt₃B, PtB, Pd₃Si, PdSi, Pd₂Si, PdP₃, Pd₃P, Pt₃Al, Pt₃Al₃ and Pt₃Al₂, are excellent materials. Metals of the VIII group or compounds of those metals are stable. Metals of the VIII group having a large atomic weight are capable of controlling the diffusion of Cu.

[0027] The semiconductor device related with the present invention has the following advantages.

[0028] Generally, Al and Al alloys are used for forming the internal wiring lines of the current semiconductor devices. Recent advancement of the complexity of integration of semiconductor devices has brought about serious troubles, such as the deterioration and breakage of wiring lines due to stress migration resulting from stress induced in the wiring lines due

2005年 7月19日 11時23分 ナニガ インケンホン

No. 3279 P. 11/15

6-236878

-10-

to the difference in properties between the wiring lines and insulating films and such overlying or underlying the wiring lines or the deterioration and breakage of wiring lines due to electromigration caused by currents flowing through the wiring lines.

[0029] In the semiconductor device according to the present invention, the internal wiring lines and contact plugs the high reliability of which is particularly important are made of Cu. Therefore, the wiring lines and the contact plugs are resistant to the foregoing troubles. Since the resistivity of Cu is lower than that of Al, an increase in the temperature of the Cu wiring line due to Joule heat is small and propagation delay is short. Since the melting point of Cu is higher than that of Al, the Cu wiring line has a high strength at elevated temperatures. Since the atomic weight of Cu is greater than that of Al, the Cu wiring line is resistant to electromigration and stress migration. There is not any particular restriction on the process of forming the metal wiring line in this embodiment. The wiring line can be formed by a physical vapor deposition process (PVD process), such as a sputtering deposition process, a resistance heating deposition process or an electron beam deposition process, a chemical deposition process (CVD process) or a liquid-phase plating process. The effects of the present invention are particularly effective when the wiring line is formed by a CVD process, because the CVD process uses heat of a temperature not lower than several hundreds degrees centigrade.

2005年 7月19日 11時23分 テキサ サンケンカンパニー

No. 3279 P. 12/15

6-236878

-11-

[0030] There is not any particular restriction on the process of forming the barrier film. The barrier film, similarly to a metal film for forming the metal wiring line, can be formed by a PVD process, such as a sputtering deposition process, a resistance heating deposition process or an electron beam deposition process, a CVD process or a liquid-phase plating process.

[0031]

[Effect of the Invention] As apparent from the foregoing description, according to the present invention, since a barrier layer is interposed between an Al or Al alloy wiring line and a Cu or Cu alloy wiring line, Al contained in the Al or Al alloy wiring line and Cu contained in the Cu or Cu alloy wiring line do not interact directly. Thus the diffusion of Cu into the Al alloy can be prevented, electromigration and stress migration can be controlled and the mechanical strength of wiring lines is not reduced. Consequently, the deterioration and breakage of wiring lines can be prevented and the high reliability of metal wiring lines can be ensured. Thus a semiconductor device provided with the wiring line structure conforming to the present invention has an extended life and improved reliability.

[BRIEF DESCRIPTION OF THE DRAWINGS]

[Fig. 1] A typical sectional view of a semiconductor device related with the present invention.

2005年 7月19日 11時23分 チキザ・イサンケンポン

No. 3279 P. 13/15

6-236878

-12-

[REFERENCE CHARACTERS]

10 ... Si substrate, 20, 30, 40 ... Insulating films, 22, 23 ...
contact plugs, 31, 32, 41, 42, 51, 52 ... Metal wiring lines,
33, 34, 43, 44 ... via plugs

2005年 7月19日 11時23分 テキサ インケンポンブ

No. 3279 P. 14/15

6-236878

-13-

[AMENDMENT]

[DATE OF FILING] Feb. 2, 2000

[AMENDMENT 1]

[DOCUMENT TO BE AMENDED] Specification

[ITEMS TO BE AMENDED] Claims

[METHOD OF AMENDMENT] Correction

[CONTENTS OF AMENDMENT]

[CLAIMS]

[Claim 1] A metal wiring structure for a semiconductor device, said metal wiring structure comprising: a first wiring line of copper or a copper alloy; and a second wiring line of aluminum or an aluminum alloy, wherein a conductive barrier layer capable of preventing the diffusion of copper is formed between the first and the second wiring line.

[Claim 2] The metal wiring structure according to claim 1, wherein the conductive barrier layer is made of a metal of the VIII group or a compound containing a metal of the VIII group.

[Claim 3] The metal wiring structure according to claim 1 or 2, wherein the first wiring line is formed in a via hole to interconnect wiring lines of a multilevel structure.

[Claim 4] The metal wiring structure according to claim 1 or 2, wherein the first and the second wiring line are formed on one and the same insulating film.

[AMENDMENT 2]

[DOCUMENT TO BE AMENDED] Specification

2005年 7月19日 11時23分 チニキサ インケンポンフ

No. 3279 P. 15/15

6-236878

-14-

[ITEMS TO BE AMENDED] Paragraph [0009]

[METHOD OF AMENDMENT] Change

[CONTENTS OF AMENDMENT]

[0009] Desirably, the conductive barrier layer is made of a metal of the VIII group or a compound containing a metal of the VIII group. the first wiring layer may be line formed in a via hole to interconnect wiring lines of a multilevel structure. The first and the second wiring line may be formed on one and the same insulating film.

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-236878

(43) 公開日 平成 6年(1994) 8月23日

(51) Int.Cl.
H 01 L 21/3205

識別記号

厅内整理番号

F I

技術表示箇所

7614-4M
7614-4M

H 01 L 21/ 88

M
N

審査請求 未請求 請求項の数2 OL (全 4 頁)

(21) 出願番号 特願平5-21145

(22) 出願日 平成 5年(1993) 2月 9日

(71) 出願人 000001258

川崎製鉄株式会社

兵庫県神戸市中央区北本町通1丁目1番28
号

(72) 発明者 近藤 美一

千葉県千葉市中央区川崎町1番地 川崎製
鉄株式会社技術研究本部内

(72) 発明者 太田 与洋

千葉県千葉市中央区川崎町1番地 川崎製
鉄株式会社技術研究本部内

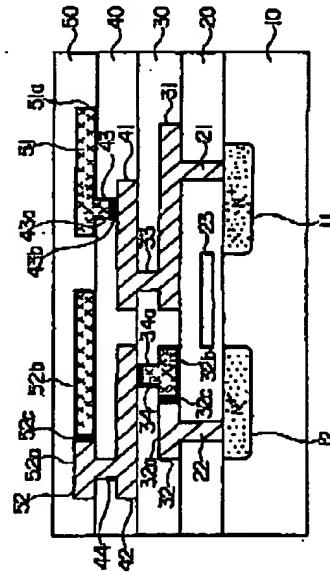
(74) 代理人 弁理士 長谷川 芳樹 (外3名)

(54) 【発明の名称】 金属性配線

(57) 【要約】

【目的】 本発明は、半導体基盤の金属性配線におけるCu配線とAl配線との接合界面において、CuがAl配線中に拡散しない構造を提供することを目的とする。

【構成】 半導体基盤に設けられる金属性配線構造において、銅からなる第1の配線41と、アルミニウム合金からなる第2の配線51の接合部分にはバリア層43bが介在していることを特徴とする。



(2)

特開平6-236878

1

2

【特許請求の範囲】

【請求項 1】 半導体装置に設けられる金属配線において、

銅又は銅合金からなる第1の配線と、

アルミニウム又はアルミニウム合金からなる第2の配線とを有し、

前記第1の配線と、前記第2の配線との接合部分には銅の拡散を防止する導電性パリア層が介在していることを特徴とする金属配線。

【請求項 2】 前記導電性パリア層としては、VII族金属又はVIII族金属の化合物が用いられる特徴とする請求項1に記載の金属配線。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、半導体装置に設けられる金属配線の構造に関するものである。

【0002】

【従来の技術】 近年、半導体装置は、LSIからVLSIへ、さらにはULSIへとその集成度を向上させており、これにともない配線の幅やコンタクトホールの径における微細化が著しく進んでいる。

【0003】 このような技術開発の進展において、半導体装置の配線としてCuやCu合金を用いる技術(特開平2-118140号)が開示されているが、Cuを用いた配線はAlを用いたものに比べ、配線の劣化や切断等が起こりにくいという特徴を有する反面、微細加工が困難であり、また、加工コストも大きいこと等の欠点がある。そのため、半導体装置内の全ての配線にCuを用いるのではなく、特に信頼性が要求される部分にCuを用いて、他の部分はAlを用いるようになった。

【0004】 例えば、多層配線間のヴィア孔や、素子と配線間のコンタクト孔にのみCuを用いたり、金属配線の一部分にのみCuを用いたり、或いは遮断ラインにのみCuを用いたりすることがある。

【0005】

【発明が解決しようとする課題】 このように、Cu配線とAl配線とを共用し、これらを接続するときは当然のことながら両者の間に接合界面が生じることになる。

【0006】 しかし、このような接合界面においては、外部から加わる熱や配線を流れる電流によって生じるジュール熱等により、Cu配線中に含まれるCuがAl配線中に拡散する場合がある。このために接合界面において電気的な接続が不十分となる等して接合抵抗の上昇を招いたり、また、配線自体の物理的強度の低下を招いたりして、配線の信頼性を損なうことがある。

【0007】 そこで、本発明は、上記問題点を解決する金属配線を提供することを目的とする。

【0008】

【課題を解決するための手段】 上記問題点を解決するために、本発明は、半導体装置に設けられる金属配線にお

いて、銅又は銅合金からなる第1の配線と、アルミニウム又はアルミニウム合金からなる第2の配線とを有し、第1の配線と、第2の配線との接合部分には同の拡散を防止する導電性パリア層が介在していることを特徴とする。

【0009】 また、導電性パリア層としては、VII族金属又はVIII族金属の化合物が用いられることが望ましい。

【0010】

【作用】 上記の構成によれば、Al配線と、Cu配線とはパリア層を介して接合されており、Cu又はCu合金と、Al又はAl合金とが直接接觸することがないので、両者が直接反応し合うことがなく、このためCu配線に含まれるCuがAl配線中に拡散することがない。

【0011】

【実施例】 以下、添付図面を参照して本発明の実施例について説明する。なお、図面の説明において同一要素には同一符号を付し、重複する説明は省略する。

【0012】 図1に基づいて本実施例に係る半導体装置について説明する。本実施例に係る半導体装置は、n⁺領域11、12を有するp-Si基板10上には、SiO₂からなる第1絶縁膜20が形成されている。n⁺領域11と、n⁺領域12との間に形成されるチャネル領域上方にはゲートポリシリコン23が設けられている。このゲートポリシリコン23は第1絶縁膜20内に形成されているものである。n⁺領域11、12の上方にはAl合金からなる直径0.5μmのコンタクトプラグ21、22がそれぞれ設けられており、このコンタクトプラグ21、22は、第1絶縁膜20に穿設されたコンタクト孔に埋め込まれている。【0013】 この第1絶縁膜20上には厚さ1μmの金属配線31、32が形成されている。金属配線31はAl合金からなり、直径0.5μmのコンタクトプラグ21を介してn⁺領域11と電気的に接続されている。金属配線32は、Al合金配線部32aとCu配線部32bとを有している。Cu配線部32bと、Al合金配線部32a及び第2絶縁膜30との間にはパリア膜として膜厚0.1μmのPd膜32cが設けられている。Al合金配線部32aは、直径0.5μmのコンタクトプラグ22を介してn⁺領域12と電気的に接続されている。【0014】 金属配線31、32の形成された第1絶縁膜20上には、さらにSiO₂からなる第2絶縁膜30が形成されている。第2絶縁膜30上にはAl合金からなる厚さ1μmの金属配線41、42が形成されている。金属配線41は直径0.5μmのヴィアプラグ33を介して金属配線31と電気的に接続されている。金属配線42は直径0.5μmのヴィアプラグ34を介して金属配線32と電気的に接続されている。これらヴィアプラグ33、34は、第2絶縁膜30に穿設されたヴィア孔にそれぞれ埋め込まれている。ヴィアプラグ33は、Al合金

40 領域12と電気的に接続されている。

【0015】 金属配線31、32の形成された第1絶縁膜20上には、さらにSiO₂からなる第2絶縁膜30が形成されている。

第2絶縁膜30上にはAl合金からなる厚さ1μmの金属配線41、42が形成されている。金属配線41は直径0.5μmのヴィアプラグ33を介して金属配線31と電気的に接続されている。

金属配線42は直径0.5μmのヴィアプラグ34を介して金属配線32と電気的に接続されている。

これらヴィアプラグ33、34は、第2絶縁膜30に穿設されたヴィア孔にそ

れぞれ埋め込まれている。ヴィアプラグ33は、Al合金

(3)

特開平6-236878

3

で形成されている。ヴィアプラグ34は、Cuによって形成されている。ヴィアプラグ34と、絶縁膜30及び金属配線42との間にパリア層である厚さ0.1μmのPd膜34aが設けられている。

【0015】金属配線41、42の形成された第2絶縁膜30上には、さらにSiO₂からなる第3絶縁膜40が形成されている。第3絶縁膜40上には厚さ1μmの金属配線51、52が形成されている。

【0016】金属配線51はCuにより形成されている。金属配線51と保護膜50とが接する部分には、膜厚0.1μmのPd膜51aが設けられている。この金属配線51は直径0.5μmのヴィアプラグ43を介して金属配線41と電気的に接続されている。ヴィアプラグ43は、Cuにより形成されている。絶縁層40及び金属配線41とヴィアプラグ43との間にパリア層である厚さ0.1μmのPd膜43bが設けられている。

【0017】金属配線52は、Al合金配線部52aとCu配線部52bとを有している。Cu配線部52bと、保護膜50及びAl合金配線部52aとの間に、パリア層として膜厚0.1μmのPd膜52cが設けられている。金属配線52は、Al合金配線部52aで直径0.5μmのヴィアプラグ44を介して金属配線42と電気的に接続されている。このヴィアプラグ44はAl合金により形成されている。

【0018】上記ヴィアプラグ43、44が、第3絶縁膜40に穿設されたヴィア孔に埋め込まれていることはいうまでもない。

【0019】そして、表面上に金属配線51、52の形成された第3絶縁膜40上には、保護膜50が形成されている。

【0020】なお、上記のAl合金は、Alに1%重量のSiと、0.5%重量のCuとが添加されたものである。このようにAl中にCuを加えたのは、Al自身の耐性を高めるためである。

【0021】このように、Al合金からなる配線と、Cuからなる配線との間にパリア層を設ければCuとAl合金とは直接接觸しないので、半導体装置を作動したときに発生する熱によりCuがAl合金中に拡散することを防ぐことができる。また、Cu配線と絶縁膜との間にパリア層が設けられているので、絶縁膜中にCuが拡散することもない。

【0022】このようなパリア層がない場合は、Al配線とCu配線とが時間が経つに連れて互いに反応して、Cu₃Al、CuAl₂、Cu₂Al₃、Cu₃Si等の種々の反応層を生じことがある。このような反応層の形成は完成した半導体装置のみならず、製造過程においても問題となる。つまり、絶縁膜を堆積させる等の時には基板を高溫に焼すことになるが、このときパリア層がなければ、上記と同様にAl配線とCu配線とが互いに反応して、やはり反応層を生じてしまうからである。

【0023】このような反応層は、金属配線に比べると比抵抗が多いため、電圧損失が大きくなり、また、ジュール熱も大きくなるので配線部分の局所的温度上昇をもたらし、この結果、エレクトロマイグレーションやストレスマイグレーションを加速することになり配線の劣化や切断を起こすことになる。また、このような反応層は、機械的強度が弱く破壊しやすい上に周囲の金属配線との膨脹率の差も大きいために、半導体装置の製造中にCu配線とAl配線との接合界面で劣化が生ずることもある。

【0024】従って、本発明は上記の反応層の形成をパリア層によって防ぐことができるので、既述した配線の劣化や切断を防ぐことができる。

【0025】このパリア層は少なくともAl配線とCu配線との界面に存在すればよく、パリア層を形成する材料が配線以外の部分についても広がっている場合であっても良い。

【0026】なお、パリア層としては、本実施例で用いたPd以外であっても、伝導性を有する材料で、製造中や

20 使用中の温度雰囲気でAl配線とCu配線とが直接反応することを防ぐことができるものであれば金、非金属、金属化合物を問わず用いることができる。このような物質として具体的には、Nb、Mo、Ta、W、Re、Hfなどの高融点金属、V、Cr、Mo、Fe、Co、Ni等の典型的遷移金属、P

d、Pt、Ru、RhなどのVII族金属、Ag、Au等のIB族金属、TiN等の窒化物、TiB₂、ZrB₂、LaB₆等の硼化物、WS₂、MoS₂、Cr₂Si等の硫化物、TiC、ZrC等の炭化物、その他TiW、Bi、Ta₃、B_{1-x}C_x等の各種化合物を挙げることができる。この中でも特

30 に、本実施例で用いたPdを代役とするPt、Ru、Rh等のVII族金属あるいはこれらの化合物（例えば、Pt₃B、Pt₂B、Pt₂Pd、Pd₂Si、Pd₂Si、Pd₂Pt、Pd₂Pt、Pt₃Al、Pt₂Al₂、Pt₂Al₃）は、優れた材料として評価できる。VII族金属、あるいはこれらの化合物は、安定かつVII族金属の原子量が大きいため、Cuとの相互拡散が抑制されるからである。

【0027】本実施例に係る半導体装置には次のような特徴がある。

【0028】即ち、現在、各種半導体装置の内部配線としては、一般的にAlやAl合金が用いられているが、一方で、半導体装置の集積度を向上させるための高集積化が進む一方でその弊害として、配線の上下に形成されている絶縁膜等との間に生ずる応力を緩和するストレスマイグレーションによる配線の劣化や切断、あるいはエレクトロマイグレーションによる通電中の配線の劣化・切断が大きな問題となっている。

【0029】これに対し、本発明では、半導体装置の内部配線やコンタクトプラグのうちで特に高い信頼性が要求される部分にCuを用いているので、これらの問題が起こりにくい。その理由は、第1に、CuはAlに比べて抵抗

(4)

特開平6-236878

5

位が低いため、ジュール熱による温度上昇が従いうえに伝導遮断時間も短いこと、第2に、CuはAlに比べて高融点であるため、高温強度が高いこと、第3に、CuはAlに比べて原子量が大きいため、エレクトロマイグレーションやストレスマイグレーションが発生しにくいことが挙げられる。なお、本実施例に係る金属配線の形成方法については特に限定されるものではなく、例えば、スパッタ蒸着法、抵抗加熱蒸着法、電子ビーム蒸着法などの物理気相蒸着法(PVD)や化学気相成長法(CVD)等のほか、液相メッキ法などを用いることもできる。特に、CVDを用いた場合には、数百度以上の高い温度で処理されることから本発明の効果が特に發揮されることになる。

【0030】また、パリア層の形成方法についても特に限定されるものではなく、前述した金属配線と同様に、例えば、スパッタ蒸着法、抵抗加熱蒸着法、電子ビーム蒸着法などのPVDやCVD等のほか、液相メッキ法などを用いることもできる。

6

【0031】

【発明の効果】以上、詳細に説明したように、本発明によれば、Al若しくはAl合金からなる配線と、Cu若しくはCu合金からなる配線との間にパリア層を設けるので、CuとAlとが直接反応し合うことがないため、CuがAl合金中に拡散することを防ぐことができる。このためエレクトロマイグレーションやストレスマイグレーションを抑制し、また機械的強度を保つことができるで配線の劣化や切削を防止して信頼性の高い金属配線を得ることができる。この結果、本発明に係る金属配線を用いた半導体装置の寿命および信頼性は著しく向上する。

【図面の簡単な説明】

【図1】本実施例に係る半導体装置の断面図である。

【符号の説明】

10…Si基板、20, 30, 40, …絶縁膜、22, 23…コンタクトプラグ、31, 32, 41, 42, 51, 52…金属配線、33, 34, 43, 44…ヴァイアプラグ。

【図1】

